

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-094039

(43)Date of publication of application : 06.04.2001

(51)Int.Cl.

H01L 25/065

H01L 25/07

H01L 25/18

(21)Application number : 11-267394

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 21.09.1999

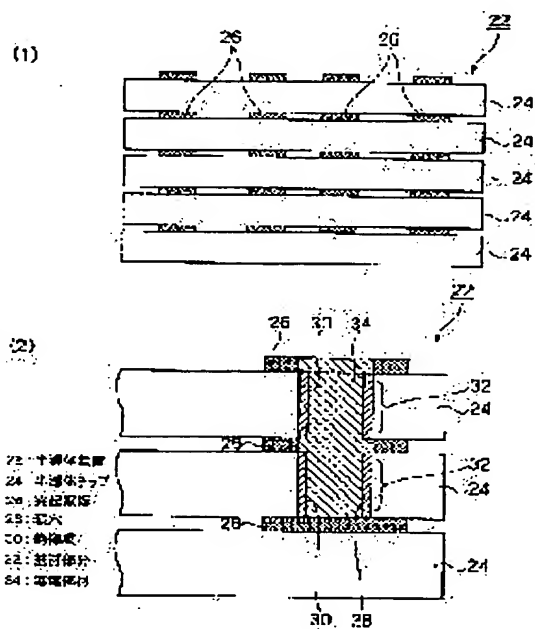
(72)Inventor : KOEDA SHUJI
SATO HIDEKAZU

(54) FORMING METHOD OF INSULATING FILM, CONNECTION METHOD OF SEMICONDUCTOR CHIP, MANUFACTURING METHOD OF THE SEMICONDUCTOR CHIP, SEMICONDUCTOR DEVICE, SUBSTRATE FOR CONNECTION AND ELECTRONIC APPARATUS

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent delays in electric signal and enable miniaturization by connecting mutually electrically laminated semiconductor chips, without using wires.

SOLUTION: Semiconductor chips, in which salient electrodes 26 are formed on the single surfaces are stacked, and vertical holes 28 penetrating the salient electrodes 26 of the stacked semiconductor chips 24 are formed. After the vertical hole 28 is formed, an insulating film 30 is formed on the inner wall of the hole 28, and the insulating film 30 in contact with the salient electrodes 26 is removed. After the removal, a conducting member 32 is formed in the vertical hole 28 in which the salient electrodes 26 are exposed, so that electrical continuity between the salient electrodes 26 of the laminated semiconductor chips 24 is obtained. By stacking the semiconductor chips 24 in this manner, electrical continuity of the salient electrodes 26 between the plurality of semiconductor chips 24 can be obtained surely, and signal paths are shortened due to the lamination of the semiconductor chips 24, and delays in signal can be prevented.



LEGAL STATUS

[Date of request for examination]

20.11.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開 2001-94039

(P 2001-94039A)

(43) 公開日 平成13年4月6日 (2001. 4. 6)

(51) Int. Cl. 7

識別記号

F I

テーマコード (参考)

H O 1 L 25/065
25/07
25/18

H O 1 L 25/08

Z

審査請求 未請求 請求項の数 19 O L

(全 16 頁)

(21) 出願番号 特願平11-267394

(22) 出願日 平成11年9月21日 (1999. 9. 21)

(71) 出願人 000002369

セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号

(72) 発明者 小枝 周史

長野県諏訪市大和3丁目3番5号 セイコー
エプソン株式会社内

(72) 発明者 佐藤 英一

長野県諏訪市大和3丁目3番5号 セイコー
エプソン株式会社内

(74) 代理人

100093388
弁理士 鈴木 喜三郎 (外2名)

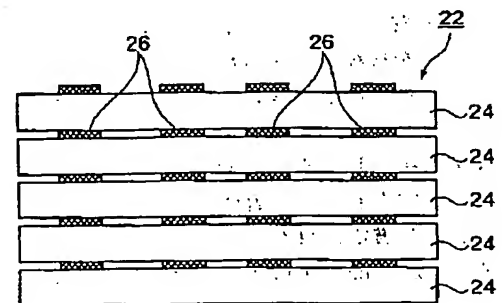
(54) 【発明の名称】 絶縁膜の形成方法および半導体チップの接続方法ならびに半導体チップの製造方法、半導体装置、接続用基板、電子機器

(57) 【要約】

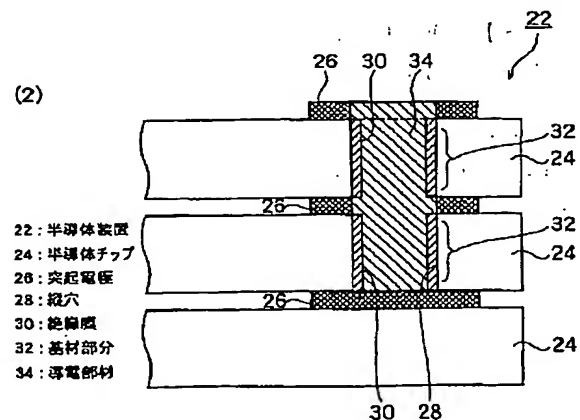
【課題】 ワイヤを用いずに積層した半導体チップを相互に電気的に接続し、電気的信号の遅延防止および小型化を図る。

【解決手段】 突起電極 26 が片面に形成された半導体チップ 24 を積み重ね、この積み重ねられた半導体チップ 24 の突起電極 26 を貫通するよう縦穴 28 を形成する。そしてこの縦穴 28 の形成後は、当該縦穴 28 の内壁に絶縁膜 30 を形成するとともに、突起電極 26 に接する絶縁膜 30 の除去を行う。そして絶縁膜 30 の除去後は、前記突起電極 26 が露出する縦穴 28 に導電部材 34 を形成し、積層された半導体チップ 24 の突起電極 26 間の導通を図るようにする。このように半導体チップ 24 を重ねれば、複数の半導体チップ 24 間の突起電極 26 の導通を確実に図ることができるとともに、半導体チップ 24 の積層により信号経路の短縮化を図ることができ、信号の遅延を防止することができる。

(1)



(2)



【特許請求の範囲】

【請求項 1】 半導体チップの表面に形成された凹凸と噛み合わせを可能とする型の表面に絶縁樹脂を塗布するとともに、半導体チップの表面に形成された前記凹凸に前記型を噛み合わせ、当該型の表面に塗布された前記絶縁樹脂を前記半導体チップの表面側に転写させこれを絶縁膜としたことを特徴とする絶縁膜の形成方法。

【請求項 2】 前記型の表面に非濡性表面処理を施したことを特徴とする請求項 1 に記載の絶縁膜の形成方法。

【請求項 3】 前記半導体チップと前記型は、単結晶シリコンからなることを特徴とする請求項 1 に記載の絶縁膜の形成方法。

【請求項 4】 電極が形成された半導体チップを積み重ね、この積み重ねられた前記半導体チップの前記電極を貫通するよう貫通穴を形成し、当該貫通穴の内壁に絶縁膜を形成するとともに前記電極に接する前記絶縁膜を除去し、前記電極が露出する前記貫通穴に導電部材を形成し、積層された前記半導体チップの前記電極間の導通を図るようにしたことを特徴とする半導体チップの接続方法。

【請求項 5】 前記貫通穴の内部を減圧させるとともに、前記絶縁膜に代えて絶縁シートを前記貫通穴の内壁に貼り付け、前記貫通穴の内壁と絶縁シートとの間の気泡を除去するようにしたことを特徴とする請求項 4 に記載の半導体チップの接続方法。

【請求項 6】 電極が形成された半導体チップを積み重ね、この積み重ねられた前記電極を貫通するよう貫通穴を形成し、この貫通穴の内壁に露出する前記電極の端面にメッキ部を成長させるとともに、このメッキ部を覆うよう前記貫通穴の内壁に絶縁膜を形成した後、前記メッキ部が露出するよう前記絶縁膜を削り、露出した前記メッキ部を接続するよう前記貫通穴に導電部材を形成し、積層された前記半導体チップの前記電極間の導通を図るようにしたことを特徴とする半導体チップの接続方法。

【請求項 7】 電極が形成されるとともに当該電極の下部に縦穴を有した半導体チップと、前記縦穴への挿入を可能とし導電部材からなる棒材とを、交互に積み重ね、積層された前記半導体チップの前記電極間の導通を図るようにしたことを特徴とする半導体チップの接続方法。

【請求項 8】 前記棒材は、前記半導体チップ間の絶縁をなす絶縁性部材に取り付けられていることを特徴とする請求項 7 に記載の半導体チップの接続方法。

【請求項 9】 前記絶縁性部材の表面に導通面を設け、これを接地面としたことを特徴とする請求項 8 に記載の半導体チップの接続方法。

【請求項 10】 半導体ウェハに形成された貫通穴に絶縁部材を充填させた後、当該絶縁部材を覆うよう前記半導体ウェハの表面に電極を形成し、この電極とともに絶縁部材への穴あけを行い、前記半導体チップにおける前記電極が形成された反対側より前記電極との導通をなす

背面側電極を形成したことを特徴とする半導体チップの製造方法。

【請求項 11】 電極が形成された半導体チップの背面側より当該電極を底面とする縦穴を形成し、この縦穴の内壁に絶縁膜を形成した後、前記半導体チップの背面側より前記電極との導通をなす背面側電極を形成したことを特徴とする半導体チップの製造方法。

【請求項 12】 前記電極に高融点金属を用いるとともに前記縦穴をレーザ加工により行うことを特徴とする請求項 11 に記載の半導体チップの製造方法。

【請求項 13】 前記電極は多層構造からなり、前記半導体チップに密着する最下層に前記高融点金属を用いたことを特徴とする請求項 12 に記載の半導体チップの製造方法。

【請求項 14】 半導体チップの表面に電極を形成するとともに前記半導体チップの背面側から当該電極を底面とする縦穴を形成し、この縦穴と前記半導体チップの背面側とを覆うよう絶縁膜を形成した後に、前記電極が露出するよう前記絶縁膜を削るとともに、前記絶縁膜の表面に配線を形成し、露出した前記電極に前記配線を導通させたことを特徴とする半導体チップの製造方法。

【請求項 15】 表面に電極が形成された複数の半導体チップを積層した半導体装置であって、積層された前記半導体チップの前記電極を貫通する貫通穴を有し、前記半導体チップの基材厚みに相当する前記貫通穴の内壁に絶縁膜を設けるとともに、前記貫通穴に導電部材を形成し、積層された前記半導体チップの前記電極間の導通を図るようにしたことを特徴とする半導体装置。

【請求項 16】 電極が形成されるとともに当該電極の下部に縦穴を有した半導体チップと、この縦穴に挿入可能であるとともに当該縦穴深さより長く設定された導電部材からなる棒材とからなり、前記半導体チップの前記縦穴に前記棒材を差し込み挿入するよう、前記半導体チップと前記棒材とを積層させ前記半導体チップの前記電極間の導通を図るようにしたことを特徴とする半導体装置。

【請求項 17】 前記半導体チップの間に絶縁性部材を設けるとともに、この絶縁性部材に前記棒材を取り付けたことを特徴とする請求項 16 に記載の半導体装置。

【請求項 18】 請求項 15 または請求項 16 に記載の半導体装置を用いたことを特徴とする接続用基板。

【請求項 19】 請求項 18 に記載の接続用基板を用いたことを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、絶縁膜の形成方法および半導体チップの接続方法ならびに半導体チップの製造方法、半導体装置、接続用基板、電子機器に係り、特に電気信号の遅延防止と小型化を図る絶縁膜の形成方法および半導体チップの接続方法ならびに半導体チップ

の製造方法、半導体装置、接続用基板、電子機器に関する。

【0002】

【従来の技術】近年、電子機器の高性能化、小型化に伴って1つのパッケージ内に複数の半導体チップを配置してマルチチップパッケージとすることにより、半導体装置の高機能化と小型化とが図られている。そして、マルチチップパッケージには、複数の半導体チップを平面的に並べたものと、複数の半導体チップを厚み方向に積層したものがある。半導体チップを平面的に並べたマルチチップパッケージは、広い実装面積を必要とするため、電子機器の小型化への寄与が小さい。このため、半導体チップを積層したスタックDMCPの開発が盛んに行われている。

【0003】

【発明が解決しようとする課題】従来のスタックDMCPは、例えば特開平6-37250号公報に記載されているように、積層した半導体チップを相互に電氣的に接続する場合、各半導体チップの周縁部に端子部を形成し、各チップの端子間をワイヤによって接続している。このため、半導体チップ相互の電氣的接続が煩雑となるばかりでなく、積層する半導体チップは、上にいくほどサイズを小さくしなければならず、集積効率、実装効率が低下する。また、半導体チップの集積度が向上すると、ワイヤ間の間隔が小さくなってワイヤ間で短絡を生ずるおそれがある。

【0004】さらに、従来のスタックDMCPにおいては、積層した半導体チップを接着剤によって相互に接合するようにしており、接着剤の塗布などを必要として工程が煩雑となる。

【0005】本発明は、前記従来技術の欠点を解消するためになされたもので、ワイヤを用いずに積層した半導体チップを相互に電氣的に接続することを目的としている。

【0006】

【課題を解決するための手段】上記の目的を達成するために、請求項1に係る絶縁膜の形成方法は、半導体チップの表面に形成された凹凸と噛み合わせを可能とする型の表面に絶縁樹脂を塗布するとともに、半導体チップの表面に形成された前記凹凸に前記型を噛み合わせ、当該型の表面に塗布された前記絶縁樹脂を前記半導体チップの表面側に転写させこれを絶縁膜としたことを特徴としている。請求項1に記載の絶縁膜の形成方法によれば、絶縁樹脂は半導体チップ側に転写される。このためCVD等の手法を用いなくとも簡単に、且つ早く半導体チップの表面に絶縁層を形成することができる。

【0007】また請求項2に係る絶縁膜の形成方法は、前記型の表面に非濡性表面処理を施したことを特徴としている。請求項2に記載の絶縁膜の形成方法によれば、型の表面に非濡性表面処理を施したことから、型の表面

に絶縁樹脂を塗布しても、当該絶縁樹脂は型の表面との密着力が弱い。このため絶縁樹脂の型から半導体チップ側への転写を容易に行うことができる。

【0008】そして請求項3に係る絶縁膜の形成方法は、前記半導体チップと前記型は、単結晶シリコンからなることを特徴としている。請求項3に係る絶縁膜の形成方法によれば、両者の単結晶シリコンの結晶構造を同一にすることにより、エッチングにより同一の断面形状が形成されるので、隙間のない両者の噛み合わせが可能になる。このため絶縁樹脂の型側への転写を一層確実に行うことができる。また両者が同一材料であれば熱膨張も一定になるので、周囲の温度に変化が生じて両者の噛み合わせを確実に行うことができる。

【0009】請求項4に記載の半導体チップの接続方法は、電極が形成された半導体チップを積み重ね、この積み重ねられた前記電極を貫通するよう貫通穴を形成し、当該貫通穴の内壁に絶縁膜を形成するとともに前記電極に接する前記絶縁膜を除去し、前記電極が露出する前記貫通穴に導電部材を形成し、積層された前記半導体チップの前記電極間の導通を図るようにしたことを特徴としている。請求項4に記載の半導体チップの接続方法によれば、導電部材によって積層された半導体チップの電極同士の導通を図ることができる。また貫通穴に形成された導電部材は、絶縁膜を接していることから導電部材と半導体チップにおける基材厚みに相当する部分とが短絡することを防止することができる。このため複数の半導体チップ間の電極の導通を確実に図ることができる。

【0010】請求項5に記載の半導体チップの接続方法は、前記貫通穴の内部を減圧させるとともに、前記絶縁膜に代えて絶縁シートを前記貫通穴の内壁に貼り付け、前記貫通穴の内壁と絶縁シートとの間の気泡を除去するようにしたことを特徴としている。請求項5に記載の半導体チップの接続方法によれば、減圧下の状態で絶縁シートを貫通穴の内壁に貼り付けるので、絶縁シートと貫通穴の内壁との間に気泡が進入することがなく、確実な貼り付けを行うことができる。また絶縁シートの幅を半導体チップの基材厚みに相当するだけの幅に設定すれば、前記絶縁シートが電極に重なることがない。このため導電部材を電極に確実に密着させることができる。

【0011】請求項6に記載の半導体チップの接続方法は、電極が形成された半導体チップを積み重ね、この積み重ねられた前記電極を貫通するよう貫通穴を形成し、この貫通穴の内壁に露出する前記電極の端面にメッキ部を成長させるとともに、このメッキ部を覆うよう前記貫通穴の内壁に絶縁膜を形成した後、前記メッキ部が露出するよう前記絶縁膜を削り、露出した前記メッキ部を接続するよう前記貫通穴に導電部材を形成し、積層された前記半導体チップの前記電極間の導通を図るようにしたことを特徴としている。請求項6に記載の半導体チップの接続方法によれば、電極に電圧を印加させつつメッキ

処理（電解メッキ）を行うことで電極の端面にメッキ部を成長させることができる。そして当該メッキ部を覆うように絶縁膜を形成するとともに、この絶縁膜を削るようにすれば、貫通穴の内壁に絶縁膜とメッキ部とを露出させることができる。このため複数の半導体チップ間の電極の導通を確実に図ることができる。

【0012】請求項7に記載の半導体チップの接続方法は、電極が形成されるとともに当該電極の下部に縦穴を有した半導体チップと、前記縦穴への挿入を可能とし導電部材からなる棒材とを、交互に積み重ね、積層された前記半導体チップの前記電極間の導通を図るようにしたことを特徴としている。請求項7に記載の半導体チップの接続方法によれば、導電性部材からなる棒材の片側端部は、縦穴に挿入され当該縦穴の底部となる電極に接触する。一方棒材の他方端部は、縦穴の下側より積層される半導体チップの電極に接触され棒材の両端に接触する電極は導通がなされる。このため半導体チップの間に棒材を挟むようにすれば、複数の半導体チップ間の電極の導通を確実に図ることができる。

【0013】請求項8に記載の半導体チップの接続方法は、前記棒材は、前記半導体チップ間の絶縁をなす絶縁性部材に取り付けられていることを特徴としている。請求項8に記載の半導体チップの接続方法によれば、絶縁性部材によって積層される半導体チップ間の絶縁を図ることができる。さらにこの絶縁性部材に棒材を取り付ければ、当該絶縁性部材を半導体チップの表面に置くだけで棒材を縦穴に挿入させることが可能になり、半導体チップ間の接続を容易に行うことができる。

【0014】請求項9に記載の半導体チップの接続方法は、前記絶縁性部材の表面に導通面を設け、これを接地面としたことを特徴としている。請求項9に記載の半導体チップの接続方法によれば、半導体チップ間の電位を接地状態にすることができる。このため半導体チップ間の電位差を吸収することができるとともに、半導体チップに外来ノイズが進入するのを防止することができる。

【0015】請求項10に記載の半導体装置の製造方法は、半導体ウェハに形成された貫通穴に絶縁部材を充填させた後、当該絶縁部材を覆うよう前記半導体ウェハの表面に電極を形成し、この電極とともに絶縁部材への穴あけを行い、前記半導体チップにおける前記電極が形成された反対側より前記電極との導通をなす背面側電極を形成したことを特徴としている。請求項10に記載の半導体装置の製造方法によれば、電極と背面側電極との間に形成された導電部材は、貫通穴に充填された絶縁部材の内側に形成されることから、電極に加わる電位がチップ基材側に漏れることがない。そして半導体チップの両面に電極が形成されていることから、これら電極を付き合わせるように半導体チップを積層させるだけで積層された半導体チップ間の導通を図ることができる。

【0016】請求項11に記載の半導体装置の製造方法

は、電極が形成された半導体チップの背面側より当該電極を底面とする縦穴を形成し、この縦穴の内壁に絶縁膜を形成した後、前記半導体チップの背面側より前記電極との導通をなす背面側電極を形成したことを特徴としている。請求項11に記載の半導体チップの製造方法によれば、半導体チップの背面側から電極が露出するまで縦穴を形成し、この縦穴の壁面に絶縁層を設けたことから、この縦穴の開口部分に背面側電極を設けるとともに、縦穴に導電部材を設けることで、電極と背面側電極との導通を図ることができる。

【0017】請求項12に記載の半導体チップの製造方法は、前記電極に高融点金属を用いるとともに前記縦穴をレーザ加工により行うことを特徴としている。請求項12に記載の半導体チップの製造方法によれば、高融点金属は、融点が高いため半導体チップの基材に対してレーザの加工速度が低下する。このため電極の露出をレーザの加工速度を目安として判断することが可能になり、もって縦穴の加工を容易に行うことが出来る。

【0018】請求項13に記載の半導体チップの製造方法は、前記電極は多層構造からなり、前記半導体チップに密着する最下層に前記高融点金属を用いたことを特徴としている。請求項13に記載の半導体チップの製造方法によれば、レーザ加工を用いて縦穴の底面（天井面）に電極を露出されるには最下層に高融点金属を用いればよい。そしてこの高融点金属の上層に融点の比較的低い通常の金属（アルミ等）を形成すれば、半導体チップ間の突き合わせ接続を容易に行うことができる。

【0019】請求項14に記載の半導体チップの製造方法は、半導体チップの表面に電極を形成するとともに前記半導体チップの背面側から当該電極を底面とする縦穴を形成し、この縦穴と前記半導体チップの背面側とを覆うよう絶縁膜を形成した後に、前記電極が露出するよう前記絶縁膜を削るとともに、前記絶縁膜の表面に配線を形成し、露出した前記電極に前記配線を導通させたことを特徴としている。請求項14に記載の半導体チップの製造方法によれば、電極が形成される半導体チップの裏側に配線を形成することができる。このため配線が形成される側、すなわち絶縁膜の上に電極を形成すれば、半導体チップの両面に電極を形成することができ、半導体チップを積層させるだけで、各半導体チップ間の導通を図ることができる。

【0020】請求項15に記載の半導体装置は、表面に電極が形成された複数の半導体チップを積層した半導体装置であって、積層された前記半導体チップの前記電極を貫通する貫通穴を有し、前記半導体チップの基材厚みに相当する前記貫通穴の内壁に絶縁膜を設けるとともに、前記貫通穴に導電部材を形成し、積層された前記半導体チップの前記電極間の導通を図るようにしたことを特徴としている。請求項15に記載の半導体装置によれば、貫通穴に形成された導電部材を介して積層された電

極間の導通を図ることができる。このため電極間の経路を短くすることができるとともに、装置本体の小型化を達成することができる。

【0021】請求項16に記載の半導体装置は、電極が形成されるとともに当該電極の下部に縦穴を有した半導体チップと、この縦穴に挿入可能であるとともに当該縦穴深さより長く設定された導電部材からなる棒材とからなり、前記半導体チップの前記縦穴に前記棒材を差し込み挿入するよう、前記半導体チップと前記棒材とを積層させ前記半導体チップの前記電極間の導通を図るようにしたことを特徴としている。請求項16に記載の半導体装置によれば、棒材の端部を電極に突き合わせることで当該棒材を介して電極同士の導通を図ることができる。このため電極間の経路を短くすることができるとともに、装置本体の小型化を達成することができる。

【0022】請求項17に記載の半導体装置は、前記半導体チップの間に絶縁性部材を設けるとともに、この絶縁性部材に前記棒材を取り付けたことを特徴としている。請求項17に記載の半導体装置によれば、絶縁性部材が半導体チップ間の絶縁をなすので、半導体チップ間に電位差があっても、両者の間に短絡が生じるのを防止することができる。また絶縁性部材に棒材を取り付けられれば、絶縁性部材を半導体チップの表面に置くだけで棒材と縦穴との位置決めを行うことが可能になり、半導体チップ間の接続を容易に行うことができる。

【0023】請求項18に記載の接続用基板は、請求項15または請求項16に記載の半導体装置を用いたことを特徴としている。請求項18に記載の接続用基板は、電極間の経路を短くすることができるとともに、装置本体の小型化を達成することができる半導体装置を用いているので、接続用基板本体も信号が遅延することなく、さらに小型化を達成することができる。

【0024】請求項19に記載の電子機器は、請求項18に記載の接続用基板を用いたことを特徴としている。請求項19に記載の電子機器によれば、信号が遅延することなく、さらに小型化を達成することができる接続用基板を有しているので、本電子機器においても、信号の遅延防止と小型化とを達成することができる。

【0025】

【発明の実施の形態】以下に本発明に係る絶縁膜の形成方法および半導体チップの接続方法ならびに半導体チップの製造方法、半導体装置、接続用基板、電子機器に好適な具体的実施の形態を図面を参照して詳細に説明を行う。

【0026】図1は、本実施の形態に係る絶縁膜の形成方法を示した工程説明図である。同図に示すように、半導体チップ10においては、電極等を形成する際にエッチングを施し、その表面に凹凸を形成する。そして凹凸が形成された後、その表面に絶縁層を形成し、半導体チップ10の基材となる単結晶シリコンとの絶縁を図るよ

うにしている。

【0027】このように半導体チップ10の表面に絶縁層を形成する手順として以下に示す方法が存在する。

【0028】すなわち、同図(1)に示すように半導体チップ10の表面12に形成された凹凸形状と噛み合わせが可能な型14を用意する。そしてこの型14の表面には非濡性表面処理を施しておき、この非濡性表面処理面16に絶縁膜の原材料となる絶縁樹脂18を塗布可能にしておく。なお型14の基材は、半導体チップ10と同様の単結晶シリコンとし、その結晶方位を前記半導体チップ10と同一のものとしておく。

【0029】このように結晶方位を半導体チップ10と型14とで同一にしておけば、両者に異方性エッチングを施した際、同一の角度を有した溝部および凸部が形成されるので、隙間が生じることなく確実に半導体チップ10に型14を噛み合わせることができる。また本実施の形態では、型14の表面に施す非濡性表面処理15としてSiコートあるいはフッ素コートを用い、型14の表面が絶縁樹脂18で濡れるのを防止するようにしている。なお非濡性表面処理については、Siコートあるいはフッ素コートだけでなく、非濡性を有するものであれば、他の表面処理を用いるようにしてもよい。

【0030】そして非濡性表面処理が施された型14の上方には、移動式の樹脂供給器20が取り付けられており、この樹脂供給器20から絶縁樹脂18を供給させつつ、前記樹脂供給器20を移動させることで型14の表面に絶縁樹脂18を塗布するようにしている。なお樹脂供給器20の先端の形状を変更し、絶縁樹脂18を霧状にして型14の表面に吹き付けるようにしてもよい。

【0031】樹脂供給器20の用いて型14の表面に絶縁樹脂18を塗布した後は、同図(2)に示すように半導体チップ10の表面12に型14を噛み合わせる。なおこの状態では、絶縁樹脂18は、半導体チップ10の表面12と、型14の表面の両方に密着した状態となっている。そして半導体チップ10と型14とを噛み合わせた後、同図(3)に示すように両者を離反させれば、前述の通り型14の表面には、非濡性表面処理面16が形成されているので、絶縁樹脂18は非濡性表面処理面16から半導体チップ10の表面12側に転写される。そして絶縁樹脂18が表面12に付着した半導体チップ10を、乾燥工程に投入し、絶縁樹脂18を乾燥させ、これを絶縁膜とすれば、CVD等の工程を得なくとも半導体チップ10の表面12に容易に絶縁膜を形成することができる。

【0032】図2は、本実施の形態に係る第1の半導体チップの接続方法を用いて積層した半導体チップの構成説明図である。同図(1)に示すように本実施の形態に係る半導体チップの接続方法を用いて積層した半導体装置22は、複数の半導体チップ24が積層された形態となっており、半導体チップ24の表面に形成された電極

となる突起電極 26 同士を導通させることで、積層された半導体チップ 24 間の接続を行うようにしている。

【0033】同図(2)は、積層された半導体チップ 24 における突起電極 26 の電気的導通状態を示す要部断面拡大図を示す。同図(2)に示すように積層された半導体チップ 24 の突起電極 26 を貫通するように縦穴 28 が設けられている。そしてこの縦穴 28 において、半導体チップ 24 の基材厚みに相当する範囲にのみ絶縁膜 30 が形成されており、半導体チップ 24 の基材部分 32 が後述する導電部材に接触するのを防止するようにしている。ここで基材部分 32 に絶縁膜を形成する方法としては、前記基材部分 32 に絶縁樹脂を塗布し、その後乾燥させて絶縁膜とする方法や、前記絶縁樹脂に代えてシート状の絶縁膜を縦穴 28 における基材部分 32 に巻き付けるようにしてもよい。なおシート状の絶縁膜を基材部分 32 に巻き付ける場合には、縦穴 28 の内側を減圧(真空状態)させ、基材部分 32 と絶縁膜との間の気泡を除去するようにすれば、シート状の絶縁膜を基材部分 32 に密着させることができる。

【0034】そして縦穴 28 の内壁面における突起電極 26 の露出面および絶縁膜 30 の内側には、導電部材 34 が形成され、この導電部材 34 によって積層された半導体チップ 24 に設けられた突起電極 26 間の導通を図るようにしている。なお導電部材 34 の材質は、半田や銅あるいはタングステンであってもよい。また縦穴 28 に埋め込み可能とし、突起電極 26 間の導通が図れば他の部材であってもよい。

【0035】このように複数の半導体チップ 24 を積層させることで突起電極 26 間の最短経路が形成され、装置自体の高クロック化による信号の遅延を防止することができる。さらに配線経路を短くすることができるので抵抗値も低減させられることはいうまでもない。また、半導体チップ 24 の間に介在物が無いことから、半導体装置 22 の小型化を図ることが可能になる。

【0036】図 3 および図 4 は、第 1 の半導体チップの接続方法を用いて半導体チップを接続する過程を示した工程説明図である。

【0037】図 3 (1) に示すように、片面側に突起電極 26 が形成された半導体チップ 24 を複数用意し(図中では 3 つの半導体チップ)、次いで同図(2)に示すように突起電極 26 が重なり合うよう半導体チップ 24 を積層させる。そして複数の半導体チップ 24 を積層させた後は、同図(3)に示すように最上段の突起電極 26 側から縦穴 28 を形成する。なお当該縦穴 28 は、レーザ加工にて行ったり、あるいはエッチングにより行うようにしてもよい。また本実施の形態では、最下段の突起電極 26 を底面とし、最下段の突起電極 26 の穴あけ加工を行わなかったが、この形態に限定されることもなく、縦穴 28 を貫通穴として、最下段の突起電極 26 に穴あけを施し、導電部材 34 との導通を図るようにして

もよい。さらに本実施の形態では最上段の突起電極 26 側から縦穴 28 を形成したが、最下段側から縦穴 28 を形成するようにしてもよい。

【0038】このように突起電極 26 を通過する縦穴 28 を形成した後は、図 4 (1) に示すように前記縦穴 28 の内壁に絶縁膜 30 を形成する。なお本実施の形態では絶縁膜 30 を SiO_2 膜とし、当該 SiO_2 膜の厚みを、5000~20000 オングストローム程度とする。なお SiO_2 膜の形成は、例えば CVD 法によって堆積した BPSG (Boron-Phospho-Silicate Glass) によって形成したり、ドライ熱酸化またはウェット熱酸化等を用いて形成すればよい。

【0039】そして縦穴 28 の内壁全てに絶縁膜 30 を形成した後は、同図(2)に示すように半導体チップ 24 の基材部分 32 だけに絶縁膜 30 を残す。この絶縁膜 30 を基材部分 32 だけに残すには、例えば縦穴 28 を形成した半導体チップ 24 を濃硝酸液中に浸漬、酸化雰囲気中で加熱し、縦穴 28 の内壁を酸化して SiO_2 にする。その後、突起電極 26 に形成されている金属酸化膜(不動態)をアルカリ等によって除去すればよい。

【0040】こうして基材部分 32 だけに絶縁膜 30 を残した後は、同図(3)に示すように縦穴 28 の内側に導電部材 34 を充填させればよい。そして導電部材 34 を縦穴 28 に充填させるためには、まずスパッタリングにより Ti 膜を 70~200 オングストローム、その上に TiN 膜を反応性スパッタリングにより 300~1000 オングストローム形成する。その後、六フッ化タングステン (WF_6) を主剤ガスとするプラズマ CVD を行い、縦穴 28 を高融点金属であるタングステンによって埋め、これを導電部材 34 とすればよい。また本実施の形態においては縦穴 28 を導電部材 34 で充填させることにしたが、この形態に限定されることもなく、例えばタングステンを充填させる代わりに、まず蒸着や無電解メッキなどにより絶縁膜を形成した縦穴 28 の壁面に導電部材となる金属膜を形成する。そしてメッキによって金属膜を形成する場合、Ti (チタン) などの下地金属を真空蒸着や CVD 法によって形成し、その後に無電解メッキによって銅などの金属膜を形成するようにしてもよい。

【0041】図 5 は、本実施の形態に係る第 2 の半導体チップの接続方法を用いて積層した半導体チップの構成説明図である。

【0042】同図(1)に示すように本実施の形態に係る半導体チップの接続方法を用いて積層した半導体装置 36 は、複数の半導体チップ 38 が積層された形態となっており、半導体チップ 38 の表面に形成された電極となる突起電極 40 同士を導通させることで、積層された半導体チップ 38 間の接続を行うようにしている。

【0043】同図(2)は、積層された半導体チップ 3

8における突起電極40の電氣的導通状態を示す要部断面拡大図を示す。同図(2)に示すように貫通穴39の内壁を構成する端子電極40の側面からは、メッキ部42が成長しているとともに、このメッキ部42の間を埋めるよう絶縁膜44が形成されている。また積層された半導体チップ38の突起電極40から成長したメッキ部42をつなぐように、導電部材46がメッキ部42および絶縁膜44の上方に形成されている。

【0044】このように複数の半導体チップ38を積層させ、突起電極40に貫通穴39を設けるとともに、この貫通穴39を用いて突起電極40間の導通を図るようになれば、突起電極40間の距離を最短にすることができ、半導体装置を高クロックで動作させた場合でも、電気信号の遅延が生じるのを防止することができる。また半導体チップ38を積層させたことから小型化が図れ、もって半導体装置36の小型化を達成することができる。

【0045】図6および図7は、第2の半導体チップの接続方法を用いて半導体チップを接続する過程を示した工程説明図である。

【0046】図6(1)に示すように、まず突起電極40が形成された複数(本図においては3段)の半導体チップ38を積層させる。次いで同図(2)に示すようにレーザ加工や機械加工あるいはエッチング等により突起電極40を貫通させるように、貫通穴39を設ける。なお貫通穴39が空けられる突起電極40からは、金属配線48が引き出される形態となっている。そしてこのように貫通穴39を形成した後は、同図(3)に示すように前記金属配線48を用いて突起電極40に電圧を印加し電解メッキを施す。このように突起電極40の端面を水溶液に浸しつつ突起電極40に電圧を印加すると、当該突起電極40の端面にメッキがなされ、時間の経過とともにメッキ厚みが増加し、(成長して)メッキ部42となる。

【0047】そしてメッキ部42を突起電極40の端面に形成した後は、図7(1)に示すように前記メッキ部42を覆うように絶縁膜44を形成する。なお本実施の形態では絶縁膜44をSiO₂膜とし、当該SiO₂膜の厚みを、5000~20000オングストローム程度とする。なおSiO₂膜の形成は、例えばCVD法によって堆積したBPSG(Boron-Phosphor-Silicate Glass)によって形成したり、ドライ熱酸化またはウェット熱酸化等を用いて形成すればよい。

【0048】こうしてメッキ部42を絶縁膜44で覆った後は、再度レーザ加工等で貫通穴39について穴あけを行う。なおこの時の穴あけは貫通穴39の形成時よりも小径とし、内壁面には、切削されたメッキ部42の一部と、これらメッキ部42間の隙間を埋める絶縁膜44とが露出する形態になる。この状態を同図(2)に示

す。

【0049】そして内壁面にメッキ部42の一部と、これらメッキ部42間の隙間を埋める絶縁膜44とを露出させた後は、この内壁面に導電部材46を形成し、メッキ部42同士の導通を図るようにする。なおこの導電部材46は、蒸着や無電解メッキなどによりメッキ部42の一部と絶縁膜44とが露出した内壁面に形成した形態となっている。なおメッキによって導電部材46を形成する場合には、Ti(チタン)などの下地金属を真空蒸着やCVD法によって形成し、その後に無電解メッキによって銅などの金属膜を形成するようにしてもよい。

【0050】図8は、本実施の形態に係る第3の半導体チップの接続方法を用いて積層した半導体チップの構成説明図である。同図(1)に示すように、第3の半導体チップの接続方法を用いて積層された半導体装置50は、複数の半導体チップ52と、これら半導体チップ52の間にサンドイッチ状に挟まれる絶縁性部材となる絶縁性フィルム54とで構成されている。

【0051】半導体チップ52は、単結晶シリコンを基材としており、その表面には図示しないトランジスタやコンデンサあるいは抵抗といった素子が形成されている。そしてこのような表面には前記素子に接続される突起電極56が形成され、この突起電極56に導電部材を接触させることで、電氣的導通を図れるようにしている。また半導体チップ52の背面側からは、突起電極56の形成領域と重なるよう縦穴58が形成されているが、当該縦穴58は突起電極56まで貫通しておらず、基材となる単結晶シリコンだけが除去された形態となっている(すなわち突起電極56は、貫通穴の片側をふさぐ底部(天井)となっている。)

【0052】一方、上述した半導体チップ52の間に挟まれる絶縁性フィルム54は、その片面または両面に図示しない金属製の導通面が形成されている。そしてこの導通面を接地(アース)させることで電位を安定させ、シールド効果により半導体チップ52への外来ノイズの進入を防止するようにしている。そしてこうした絶縁性フィルム54には、半導体チップ52の縦穴58に挿入を可能とする棒材60が、前記縦穴58の位置に相当するよう複数取り付けられている。当該棒材60は導電性で且つ円柱形状の金属材料からなり、その直径は、縦穴58に挿入可能なように当該縦穴58の内径より小径に設定されているとともに、その全長は、縦穴58に挿入した際に、棒材60の端部が縦穴58の底面(天井)となる突起電極56に確実に接触するだけの長さで設定されている。

【0053】そして同図(2)に示すように半導体チップ52と絶縁性フィルム54とを交互に積層させ、これを圧縮させれば、棒材60の両側端面が突起電極56に接触するので、絶縁性フィルム54を挟み込む半導体チップ52同士の導通を図ることが出来る。なお本実施の

形態では絶縁性フィルム54を用いて半導体チップ52間の絶縁を行うようにしたが、この形態に限定される必要もなく、たとえば前記絶縁性フィルム54に代えて表面に絶縁処理(SiO₂膜)を施した単結晶シリコンを用いるようにしてもよい。このように絶縁性フィルム54の代わりに単結晶シリコンを用いれば、半導体チップ52との熱膨張係数を同じにすることができるので外気の温度が変化しても半導体装置50間で歪みが生じるのを防止することができる。

【0054】図9は、本実施の形態に係る第1の半導体チップの製造方法を用いて製造された半導体チップを積層させた半導体装置の構成説明図である。同図の半導体装置61に示すように第1の半導体チップの製造方法を用いて製造された半導体チップ62は、その両面に互いに導通をなす突起電極64が形成されており、これら突起電極64を突き合わせるよう積層させることで、半導体チップ62間の導通を図るようにしている。すなわち半導体チップ62においては、その表裏面を貫通するように貫通穴66が形成されており、この貫通穴66の内側には、絶縁膜68と導電部材70とが内壁面から順に形成されている。このため導電部材70に電圧が印加されても、当該導電部材70は絶縁膜68を介して半導体チップ62の基材部分と接しているの、導電部材70と半導体チップ62の基材部分との間に短絡が生じるのを防止することができる。また導電部材70は、半導体チップ62の表裏面に形成された突起電極64に接続された形態となっており、半導体チップ62の表裏に形成された突起電極64間で導通を図ることが可能になっている。

【0055】図10は、第1の半導体チップの製造方法を用いて半導体チップを製造する過程を示した工程説明図である。同図(1)に示すように、半導体チップ62に貫通穴66を形成し、当該貫通穴66に絶縁材料を充填させた後は、半導体チップ62の表裏面に絶縁層72(SiO₂膜)を5000~20000オングストローム程度形成する。なおSiO₂膜の形成は、CVD法によって堆積したBPSG(Boron-Phospho-Silicate Glass)によって形成したり、ドライ熱酸化またはウェット熱酸化等を用いて形成すればよい。そして半導体チップ62の表裏面に絶縁膜68を形成した後は、同図(2)に示すように半導体チップ62の片面に且つ貫通穴66の上部に突起電極64を形成する。そして突起電極64を形成した後は、レーザ加工や機械加工あるいはエッチング等により絶縁膜68および突起電極64に加工を施し、貫通穴66の中央部に貫通部分を形成する。この状態を同図(3)に示す。そして同図(4)に示すように突起電極64が形成された反対面側からメッキ等により同様の突起電極64を形成するとともに、露出した絶縁膜68の表面に導電部材70を形成し、半導体チップ62の表裏面に形成さ

れた突起電極64の導通を図るようにする。このように半導体チップ62の表裏面に突起電極64を形成したことから、半導体チップ62を積層させるだけで積層された半導体チップ62間の電氣的導通を図ることができる。

【0056】図11は、本実施の形態に係る第2の半導体チップの製造方法を用いて製造された半導体チップを積層させた半導体装置の構成説明図である。同図の半導体装置73に示すように第2の半導体チップの製造方法を用いて製造された半導体チップ76は、その両面に互いに導通をなす突起電極74A、74Bが形成されており、突起電極74Aを他半導体チップ76の突起電極74Bに突き合わせるよう積層させることで、半導体チップ76間の導通を図るようにしている。すなわち半導体チップ76においては、突起電極74Aの下方に当該突起電極74Aを底面(天井面)とする縦穴78が形成されており、この縦穴78の内側には、絶縁膜80と導電部材82とが内壁面から順に形成されている。このため導電部材82に電圧が印加されても、当該導電部材82は絶縁膜80を介して半導体チップ76の基材部分と接しているの、導電部材82と半導体チップ76の基材部分との間に短絡が生じるのを防止することができる。また導電部材82は、半導体チップ76の表裏面に形成された突起電極74A、74Bに接続された形態となっており、半導体チップ76の表裏間で電氣的導通を図ることが可能になっている。

【0057】なお本半導体チップ76においては、突起電極74Aはタングステン74Cの上面にアルミ74Dを形成した2層構造になっており、縦穴78を後述するレーザで形成するのを容易にしている。

【0058】図12は、第2の半導体チップの製造方法を用いて半導体チップを製造する過程を示した工程説明図である。同図(1)に示すように、半導体チップ76の表裏面に絶縁層84を形成した後に、その片側表面に突起電極74Aを形成する。ここで突起電極74Aは、タングステン74Cとアルミ74Dの2層構造になっているが、これはまず六フッ化タングステン(WF₆)を主剤ガスとするプラズマCVDを行い、タングステン74Cを形成する。そしてタングステン74Cの形成後は、アルミをCVDや真空蒸着によってタングステン74Cの上面に形成し、2層構造にすればよい。

【0059】こうして半導体チップ76の表面に突起電極74Aを形成した後は、同図(2)に示すように前記突起電極74Aが形成される背面側から縦穴78をレーザ加工にて形成する。ところで半導体チップ76の基材である単結晶シリコンは融点が1410℃であるのに対し、突起電極74Aを形成するタングステン74Cは、その融点が3400℃となっている。このため半導体チップ76の背面側からレーザ加工を行っていくと、半導体チップ76の基材である単結晶シリコンへの加工は容

易に行われ、加工速度も比較的速い。これに対してタングステン 74C への加工は、タングステン 74C 自体の融点が高いことからレーザ加工は困難であり、加工速度も単結晶シリコンと比較して遅くなっている。この性質を利用すれば、すなわち単結晶シリコンに接する突起電極の材質を高融点のものにすれば、レーザ照射の時間管理などをおこなうことによってレーザ加工にて、タングステン 74C を確実に露出させた縦穴 78 を形成することができる。

【0060】そして半導体チップ 76 に縦穴 78 を形成した後は、同図 (3) に示すように縦穴 78 の内壁に絶縁膜 80 を形成する。なおこの絶縁膜 80 については、本実施の形態では SiO_2 膜とするとともに当該 SiO_2 膜の厚みを、5000～20000 オングストローム程度とする。そして SiO_2 膜の形成は、例えば CVD 法によって堆積した BPSG (Boron-Phospho-Silicate Glass) によって形成したり、ドライ熱酸化またはウェット熱酸化等を用いて形成すればよい。

【0061】このように縦穴 78 の内壁に絶縁膜 80 を形成した後は、同図 (4) に示すように半導体チップ 76 における突起電極 74A の反対面側からメッキや蒸着を行い、突起電極 74A との導通をなす導電部材 82 を絶縁膜 80 の表面に形成するとともに端子電極 74B を形成する。

【0062】図 13 は、本実施の形態に係る第 3 の半導体チップの製造方法を用いて製造された半導体チップを積層させた半導体装置の構成説明図である。同図に示すように第 3 の半導体チップの製造方法を用いて製造された半導体チップ 86 を積層させた半導体装置 88 は、前記半導体チップ 86 の表裏面にそれぞれ形成された突起電極 90A、90B に積層される他の半導体チップ 86 の突起電極 90A、90B のそれぞれを突き合わせ、接続を行うことで電氣的導通を図るような形態となっている。

【0063】半導体チップ 86 の表面には、図示しないトランジスタや抵抗あるいは容量といった素子が形成されており、半導体チップ 86 の表面には絶縁層 92 を介して前記素子に接続される突起電極 90A が形成されている。

【0064】一方、半導体チップ 86 の背面側、すなわち突起電極 90A が形成される反対面側には、突起電極 90A の下方側となる第 1 縦穴 94 が形成されており、この第 1 縦穴 94 の内壁 94A および底面 94B の一部、そして半導体チップ 86 の背面には、前記半導体チップ 86 の表面と同様に絶縁層 92 が形成され、半導体チップ 86 の基材となる単結晶シリコンに短絡が生じないようにしている。そして半導体チップ 86 の背面側における絶縁層 92 の上層には、金属配線 96 が形成されており、この金属配線 96 は、半導体チップ 86 の背面

側から第 1 縦穴 94 の内壁 94A および底面 94B を經由し、絶縁層 92 の形成されていない底面 94B の一部にて突起電極 90A と接続されるようになっている。

【0065】そして半導体チップ 86 の背面側には、突起電極 90B が形成されており、積層される下側の半導体チップ 86 における突起電極 90A との突き合わせ接続を可能にしている。

【0066】このように半導体チップ 86 の表裏面に突起電極 90A、90B を形成し、半導体チップ 86 を積層させれば、小型化が達成された半導体装置 88 を構成することができる。また信号経路も最短で済むために半導体装置 88 を高速で動作させても、信号の遅延が発生するのを防止することができる。

【0067】図 14 は、第 3 の半導体チップの製造方法を用いて半導体チップを製造する過程を示した工程説明図である。同図 (1) に示すように半導体チップ 86 の表面に絶縁層 92 を形成した後は、その上層に突起電極 90A を形成する。そして突起電極 90A の形成後は、半導体チップ 86 の背面側よりレーザ加工や機械加工あるいはエッチング等により第 1 縦穴 94 を形成する。なおレーザ加工で縦穴 94 の形成を行う際には、突起電極 90A に高融点金属を用い、半導体チップ 86 の基材である単結晶シリコンとの加工速度差を持たせれば縦穴 94 の底面 (天井面) に金属を確実に露出させることができる。

【0068】そして縦穴 94 を形成した後は、背面側に絶縁層 92 を一様に形成し、背面側の短絡防止を図るようにする。この絶縁層 92 の形成後の形態を同図 (2) に示す。このように絶縁層 92 の形成後は、再び縦穴 94 の底面 94B にレーザ加工を施す。ここでレーザ加工の口径は底面 94B の一部とし、この結果底面 94B における面積の一部に突起電極 90A が露出するとともに、その他の範囲 (残りの面積) には絶縁層 92 が覆っているようにする。

【0069】底面 94B を覆う一部の絶縁層 92 の除去を行い、縦穴 94 に突起電極 90A を露出させた後は、背面側より金属配線 96 を形成する。なおこの金属配線 96 の基になる金属膜の形成は、絶縁層 92 が設けられた半導体チップ 86 を圧力 2～5 mTorr、温度 150～300℃ のアルゴン雰囲気中に配置し、Al-Cu、Al-Si-Cu、Al-Si、Ni、Cr、Au などをターゲットとし、DC 9～12 kW の入力電力でスパッタを行い、これらのターゲットと同じ組成を有する金属配線 96 を形成するための金属膜を 4000～20000 オングストローム程堆積すればよい。このような工程を経て金属配線 96 を形成した状態を同図 (4) に示す。

【0070】そして図示しないが同図 (4) の後工程として金属配線 96 の形成後に、当該金属配線 96 上に突起電極 90B を上記記述のいずれかの方法で形成する。

このように半導体チップ 86 の背面側に突起電極 90B を形成すれば、半導体チップ 86 を積層させた半導体装置 88 を構成することが可能になる。

【0071】なお第 1～第 3 の半導体チップの製造方法を用いて半導体チップを製造し、この半導体チップからなる半導体装置を接続用基板に実装すれば、当該接続用基板は、電極間の経路を短くすることができるとともに、装置本体の小型化を達成することができる半導体装置を用いているので、接続用基板本体も信号が遅延することなく、さらに小型化を達成することができる。

【0072】また上述した接続用基板を用いた電子機器においては、信号が遅延することなく、さらに小型化を達成することができる接続用基板を有しているため、本電子機器においても、信号の遅延防止と小型化とを達成することができることはいうまでもない。

【0073】図 15 および図 16 は、第 1 の半導体チップの接続方法を用いて他の形態の半導体チップを接続する過程を示した工程説明図である。図 15 (1) に示すように片面側に突起電極 98 が形成された半導体チップ 100 を一対用意する。そして一対の半導体チップ 100 を用意した後は、同図 (2) に示すように突起電極 98 を貫通するように貫通穴 102 を形成する。なお当該貫通穴 102 は、レーザ加工にて行ったり、あるいはエッチングにより行うようにしてもよい。

【0074】このように突起電極 98 を通過する縦穴 102 を形成した後は、同図 (3) に示すように貫通穴 102 を基準として一対の半導体チップ 100 を重ね合わせを行う。

【0075】そしてその後は、貫通穴 102 の内壁に絶縁膜 104 を形成する。なお本実施の形態では絶縁膜 104 を SiO_2 膜とし、当該 SiO_2 膜の厚みを、5000～20000 オングストローム程度とする。なお SiO_2 膜の形成は、例えば CVD 法によって堆積した BP SG (Boron-Phospho-Silicate Glass) によって形成したり、ドライ熱酸化またはウェット熱酸化等を用いて形成すればよい。そして縦穴 102 の内壁全てに絶縁膜 104 を形成した後は、図 16 (1) に示すように半導体チップ 100 の基材部分 106 だけに絶縁膜 104 を残す。この絶縁膜 104 を基材部分 106 だけに残すには、例えば貫通穴 102 を形成した半導体チップ 100 を濃硝酸液中に浸漬、酸化雰囲気中で加熱し、貫通穴 102 の内壁を酸化して SiO_2 にする。その後、突起電極 98 に形成されている金属酸化膜 (不動態) をアルカリ等によって除去すればよい。

【0076】こうして基材部分 106 だけに絶縁膜 104 を残した後は、同図 (2) に示すように縦穴 28 の内側に、蒸着や無電解メッキを用いて導電部材となる金属膜 110 を形成する。なおメッキによって金属膜 110 を形成する場合には、Ti (チタン) などの下地金属を

真空蒸着や CVD 法によって形成し、その後に無電解メッキによって銅などの金属膜 110 を形成するようにしてもよい。

【0077】こうして一対の半導体チップ 100 の突き合わせ接続が終了した後は、これら一対の半導体チップ 100 同士を積層させ、同図 (3) に示すように半導体装置 108 を形成すればよい。

【0078】このように片面に突起電極 98 が形成された半導体チップ 100 を、前記突起電極 98 が形成された反対側を密着させるようにしても、半導体チップ 100 に設けられた突起電極 98 間の電氣的導通を図ることができる。

【0079】

【発明の効果】以上説明したように請求項 1 に係る絶縁膜の形成方法によれば、半導体チップの表面に形成された凹凸と噛み合わせを可能とする型の表面に絶縁樹脂を塗布するとともに、半導体チップの表面に形成された前記凹凸に前記型を噛み合わせ、当該型の表面に塗布された前記絶縁樹脂を前記半導体チップの表面側に転写させてこれを絶縁膜としたことから、容易に、且つ早く半導体チップの表面に絶縁層を形成することができる。

【0080】また請求項 4 に係る半導体チップの接続方法によれば、電極が形成された半導体チップを積み重ね、この積み重ねられた前記半導体チップの前記電極を貫通するよう貫通穴を形成し、当該貫通穴の内壁に絶縁膜を形成するとともに前記電極に接する前記絶縁膜を除去し、前記電極が露出する前記貫通穴に導電部材を形成し、積層された前記半導体チップの前記電極間の導通を図るようにしたことから、複数の半導体チップ間の電極の導通を確実に図ることができるとともに、半導体チップの積層により信号経路の短縮化を図ることができ、信号の遅延を防止することができる。

【0081】そして請求項 6 に係る半導体チップの接続方法によれば、電極が形成された半導体チップを積み重ね、この積み重ねられた前記電極を貫通するよう貫通穴を形成し、この貫通穴の内壁に露出する前記電極の端面にメッキ部を成長させるとともに、このメッキ部を覆うよう前記貫通穴の内壁に絶縁膜を形成した後、前記メッキ部が露出するよう前記絶縁膜を削り、露出した前記メッキ部を接続するよう前記貫通穴に導電部材を形成し、積層された前記半導体チップの前記電極間の導通を図るようにしたことから、複数の半導体チップ間の電極の導通を確実に図ることができるとともに、半導体チップの積層により信号経路の短縮化を図ることができ、信号の遅延を防止することができる。

【0082】さらに請求項 7 に係る半導体チップの接続方法によれば、電極が形成されるとともに当該電極の下部に縦穴を有した半導体チップと、前記縦穴への挿入を可能とし導電部材からなる棒材とを、交互に積み重ね、積層された前記半導体チップの前記電極間の導通を図る

ようにしたこと、複数の半導体チップ間の電極の導通を確実に図ることができるとともに、半導体チップの積層により信号経路の短縮化を図ることができ、信号の遅延を防止することができる。

【0083】また請求項10に係る半導体チップの製造方法は、半導体ウェハに形成された貫通穴に絶縁部材を充填させた後、当該絶縁部材を覆うよう前記半導体ウェハの表面に電極を形成し、この電極とともに絶縁部材への穴あけを行い、前記半導体チップにおける前記電極が形成された反対側より前記電極との導通をなす背面側電極を形成したこと、これら電極を付き合わせるよう

10

に半導体チップを積層させるだけで積層された半導体チップ間の導通を図ることができる。

【0084】そして請求項11に係る半導体チップの製造方法は、電極が形成された半導体チップの背面側より当該電極を底面とする縦穴を形成し、この縦穴の内壁に絶縁膜を形成した後、前記半導体チップの背面側より前記電極との導通をなす背面側電極を形成したこと、電極と背面側電極とを付き合わせるよう半導体チップを積層させるだけで積層された半導体チップ間の導通を

20

図ることができる。

【0085】さらに請求項14に係る半導体チップの製造方法は、半導体チップの表面に電極を形成するとともに前記半導体チップの背面側から当該電極を底面とする縦穴を形成し、この縦穴と前記半導体チップの背面側とを覆うよう絶縁膜を形成した後、前記電極が露出するよう前記絶縁膜を削るとともに、前記絶縁膜の表面に配線を形成し、露出した前記電極に前記配線を導通させたことから、配線が形成される半導体チップの反対側に電極を形成することができる。このため配線側にも電極を形成すれば、半導体チップを積層させるだけで積層された半導体チップ間の導通を図ることができる。

30

【0086】また請求項15に記載の半導体装置は、表面に電極が形成された複数の半導体チップを積層した半導体装置であって、積層された前記半導体チップの前記電極を貫通する貫通穴を有し、前記半導体チップの基材厚みに相当する前記貫通穴の内壁に絶縁膜を設けるとともに、前記貫通穴に導電部材を形成し、積層された前記半導体チップの前記電極間の導通を図るようにしたこと、電極間の経路を短くすることができるとともに、半導体チップが積層された装置本体の小型化を達成することができる。

40

【0087】そして請求項16に記載の半導体装置は、電極が形成されるとともに当該電極の下部に縦穴を有した半導体チップと、この縦穴に挿入可能であるとともに当該縦穴深さより長く設定された導電部材からなる棒材とからなり、前記半導体チップの前記縦穴に前記棒材を差し込み挿入するよう、前記半導体チップと前記棒材とを積層させ前記半導体チップの前記電極間の導通を図るようにしたこと、電極間の経路を短くすることがで

50

きるとともに、半導体チップが積層された装置本体の小型化を達成することができる。

【0088】また請求項18に記載の接続用基板は、請求項15または請求項16に記載の半導体装置を用いたことから、電極間の経路短縮による信号遅延防止と、接続用基板本体の小型化を達成することができる。

【0089】そして請求項19に記載の電子機器は、請求項18に記載の接続用基板を用いたことから、接続用基板の効果と同様に、電極間の経路短縮による信号遅延防止と、接続用基板本体の小型化を達成することができる。

【図面の簡単な説明】

【図1】本実施の形態に係る絶縁膜の形成方法を示した工程説明図である。

【図2】本実施の形態に係る第1の半導体チップの接続方法を用いて積層した半導体チップの構成説明図である。

【図3】第1の半導体チップの接続方法を用いて半導体チップを接続する過程を示した工程説明図である。

【図4】第1の半導体チップの接続方法を用いて半導体チップを接続する過程を示した工程説明図である。

【図5】本実施の形態に係る第2の半導体チップの接続方法を用いて積層した半導体チップの構成説明図である。

【図6】第2の半導体チップの接続方法を用いて半導体チップを接続する過程を示した工程説明図である。

【図7】第2の半導体チップの接続方法を用いて半導体チップを接続する過程を示した工程説明図である。

【図8】本実施の形態に係る第3の半導体チップの接続方法を用いて積層した半導体チップの構成説明図である。

【図9】本実施の形態に係る第1の半導体チップの製造方法を用いて製造された半導体チップを積層させた半導体装置の構成説明図である。

【図10】第1の半導体チップの製造方法を用いて半導体チップを製造する過程を示した工程説明図である。

【図11】本実施の形態に係る第2の半導体チップの製造方法を用いて製造された半導体チップを積層させた半導体装置の構成説明図である。

【図12】第2の半導体チップの製造方法を用いて半導体チップを製造する過程を示した工程説明図である。

【図13】本実施の形態に係る第3の半導体チップの製造方法を用いて製造された半導体チップを積層させた半導体装置の構成説明図である。

【図14】第3の半導体チップの製造方法を用いて半導体チップを製造する過程を示した工程説明図である。

【図15】第1の半導体チップの接続方法を用いて他の形態の半導体チップを接続する過程を示した工程説明図である。

【図16】第1の半導体チップの接続方法を用いて他の

21

22

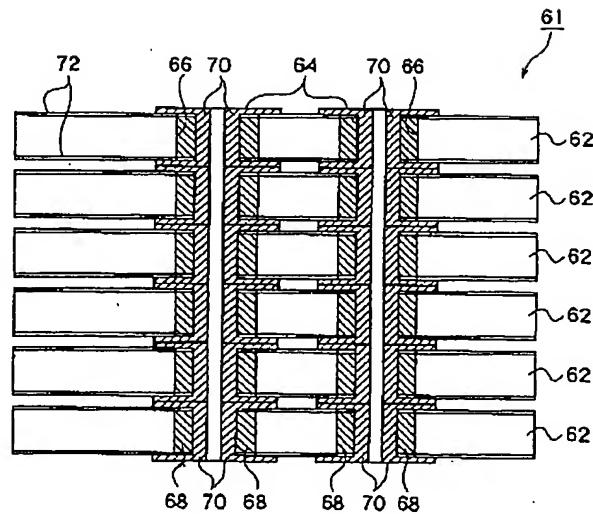
形態の半導体チップを接続する過程を示した工程説明図である。

【符号の説明】

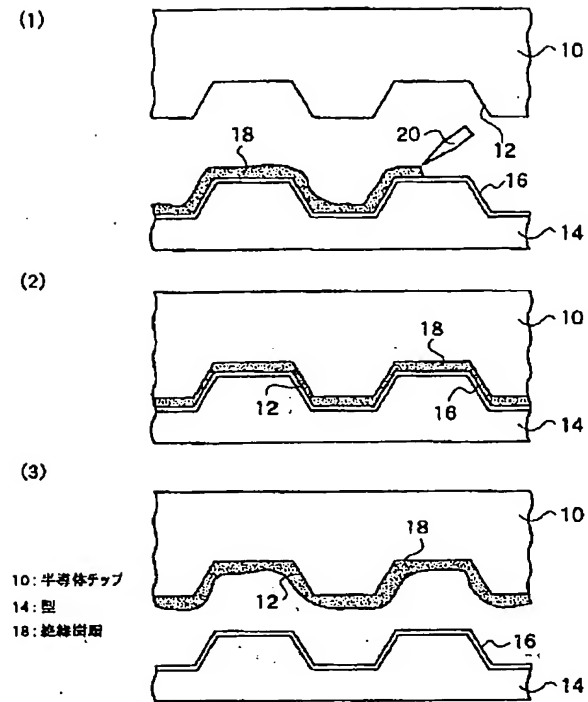
10 半導体チップ
 12 表面
 14 型
 16 非濡性表面処理面
 18 絶縁樹脂
 20 樹脂供給器
 22 半導体装置
 24 半導体チップ
 26 突起電極
 28 縦穴
 30 絶縁膜
 32 基材部分
 34 導電部材
 36 半導体装置
 38 半導体チップ
 39 貫通穴
 40 突起電極
 42 メッキ部
 44 絶縁膜
 46 導電部材
 48 金属配線
 50 半導体装置
 52 半導体チップ
 54 絶縁性フィルム
 56 突起電極
 58 縦穴
 60 棒材
 61 半導体装置
 62 半導体チップ

64 突起電極
 66 貫通穴
 68 絶縁膜
 70 導電部材
 72 絶縁層
 73 半導体装置
 74A 突起電極
 74B 突起電極
 74C タングステン
 74D アルミ
 76 半導体チップ
 78 縦穴
 80 絶縁膜
 82 導電部材
 84 絶縁層
 86 半導体チップ
 88 半導体装置
 90A 突起電極
 90B 突起電極
 92 絶縁層
 94 縦穴
 94A 内壁
 94B 底面
 96 金属配線
 98 突起電極
 100 半導体チップ
 102 貫通穴
 104 絶縁膜
 106 基材部分
 108 半導体装置
 110 金属膜

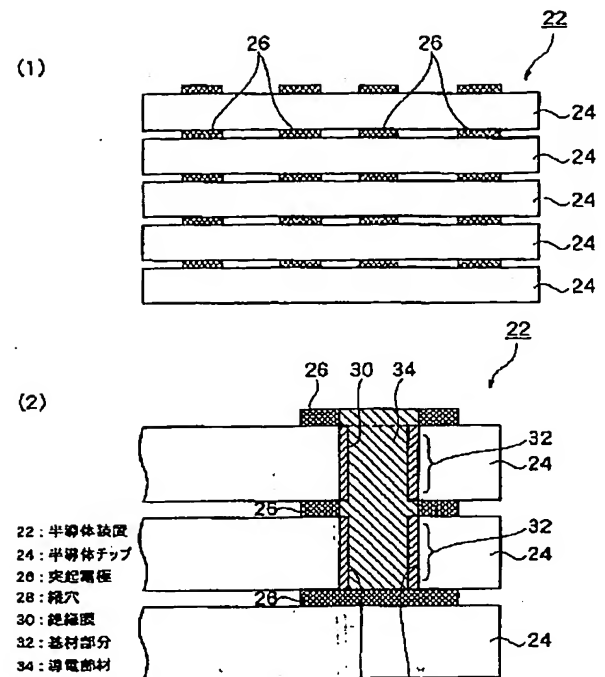
【図9】



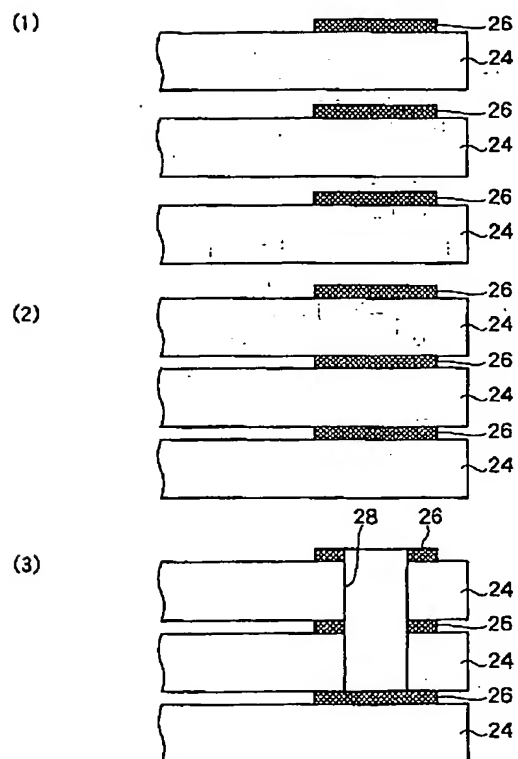
【図 1】



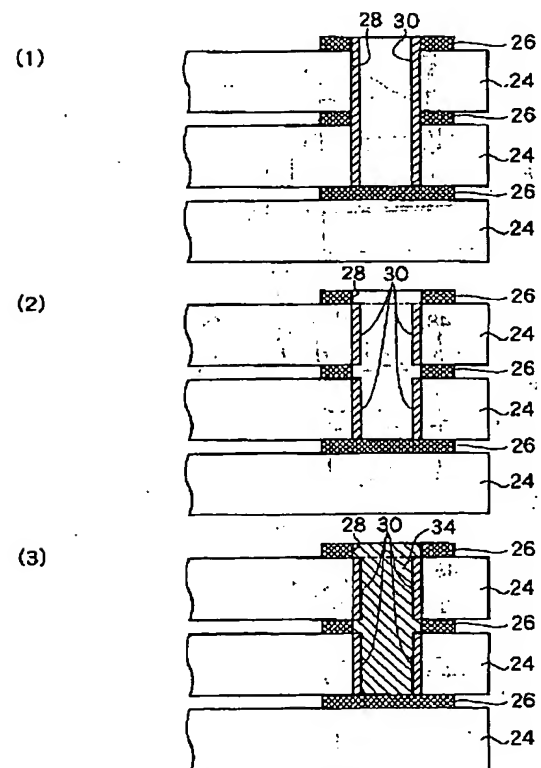
【図 2】



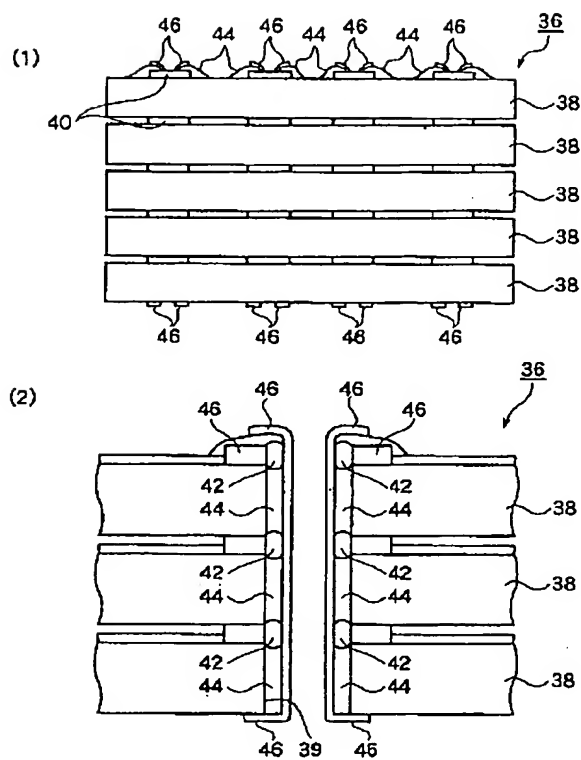
【図 3】



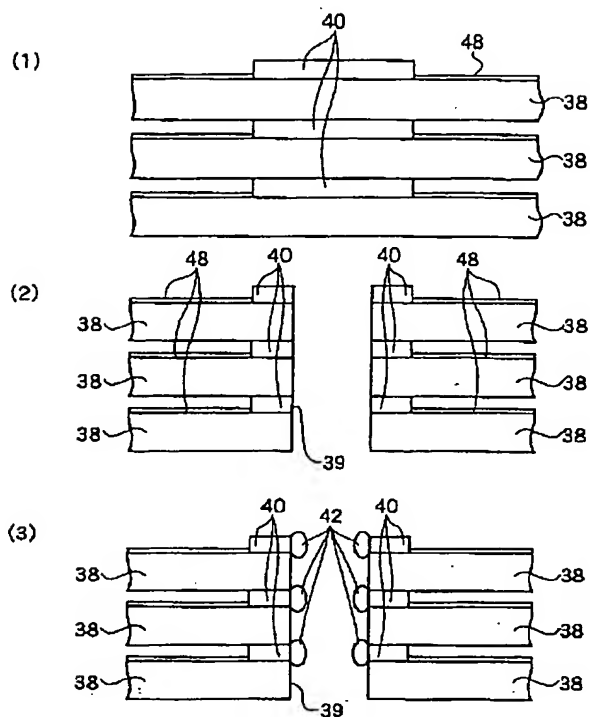
【図 4】



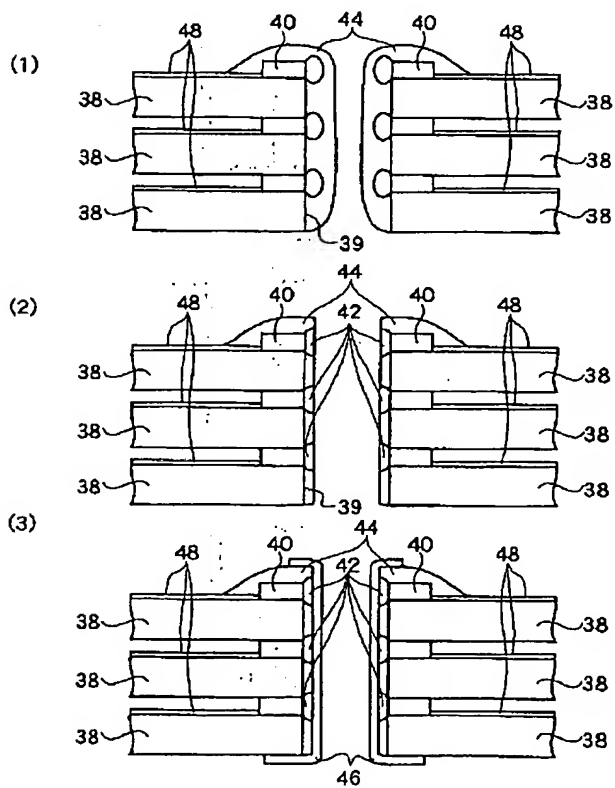
【図5】



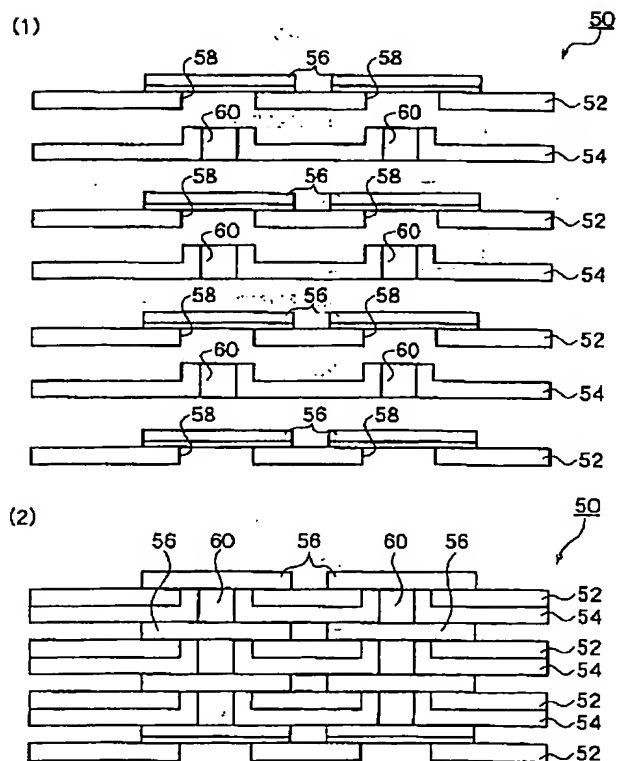
【図6】



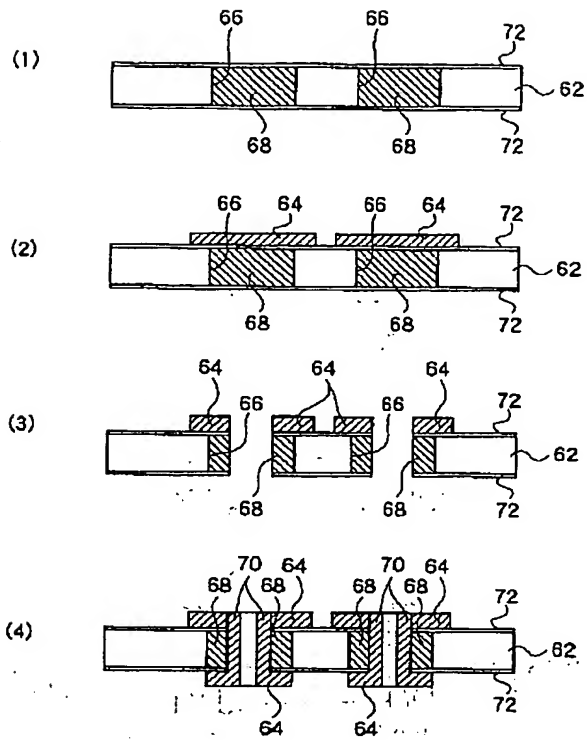
【図7】



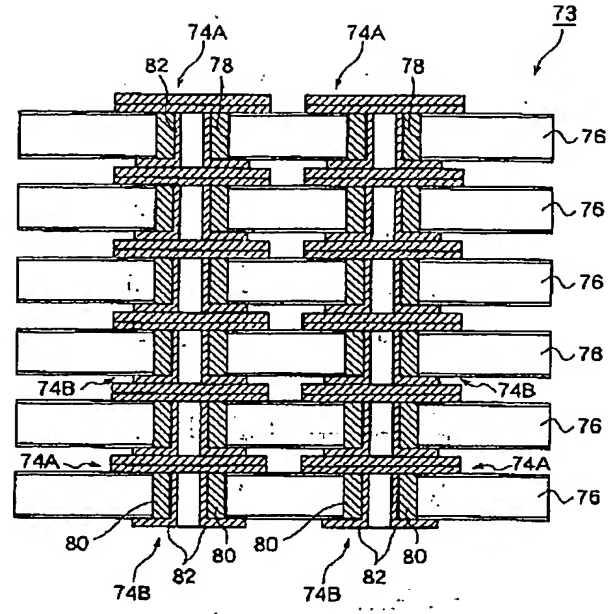
【図8】



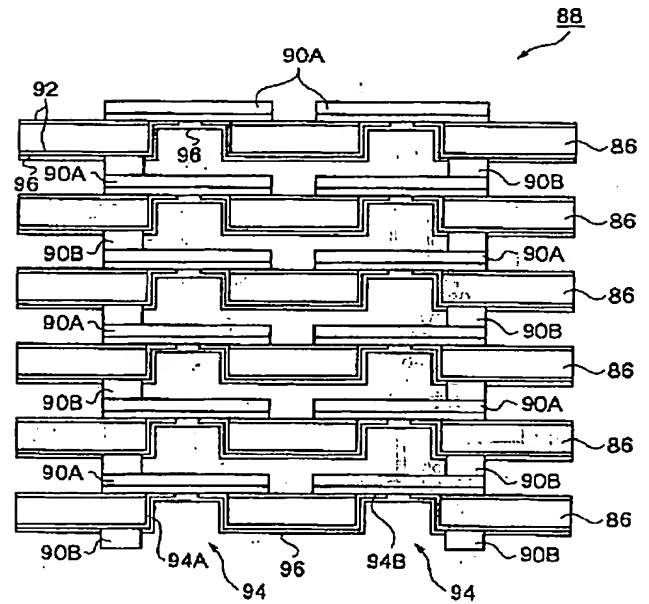
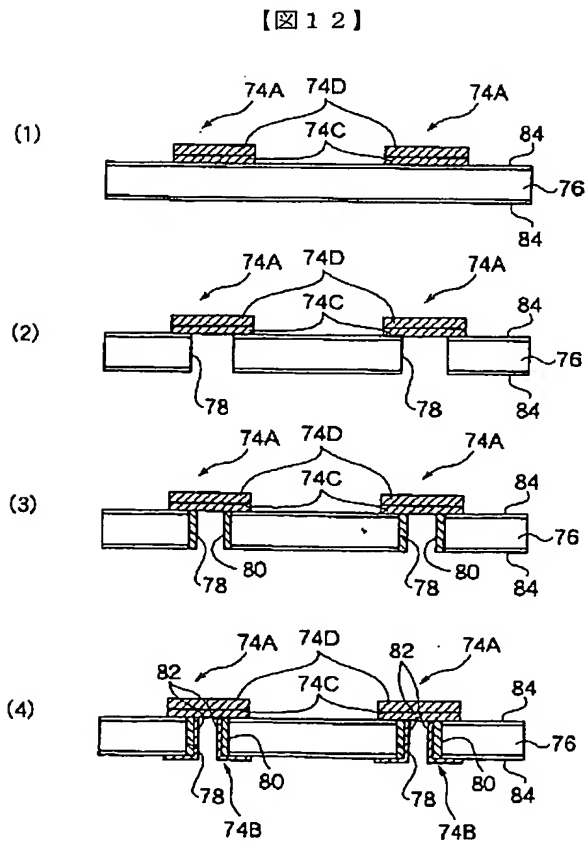
【図 10】



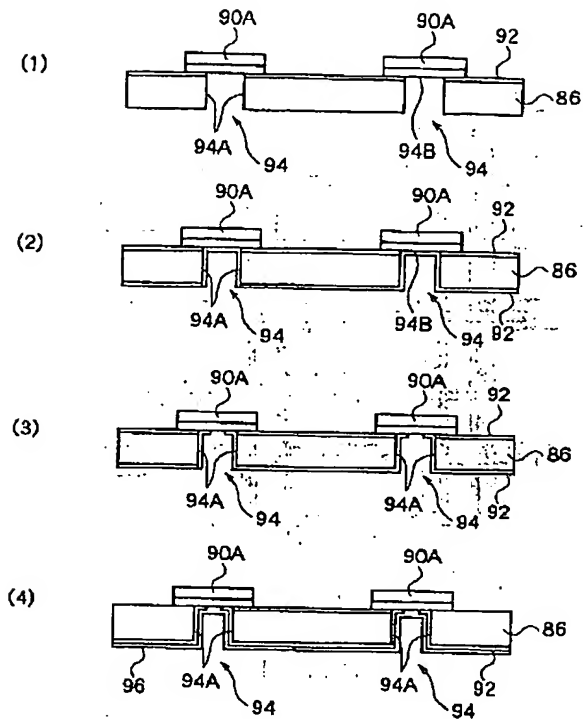
【図 11】



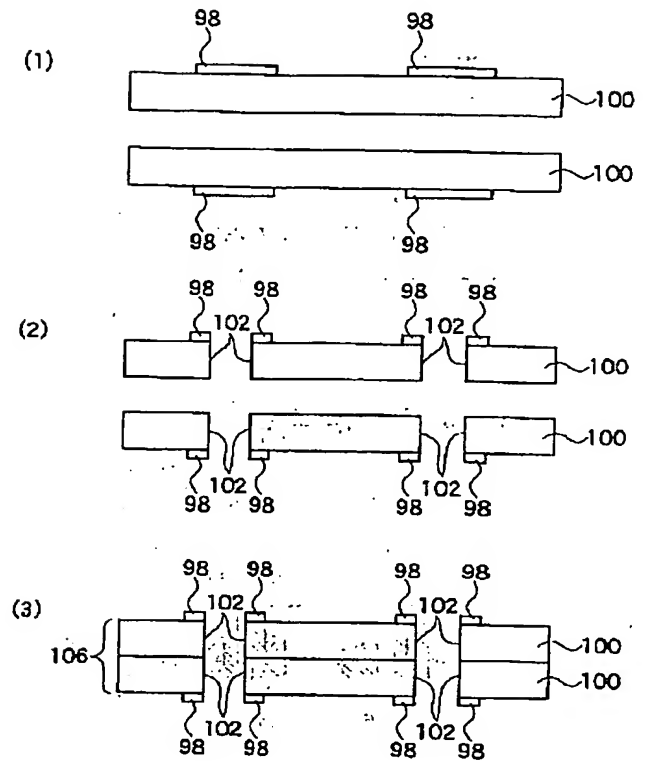
【図 13】



【図 14】



【図 15】



【図 16】

